

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-349618

(P2000-349618A)

(43) 公開日 平成12年12月15日 (2000. 12. 15)

(51) Int.Cl.⁷

H 0 3 K 19/0185

識別記号

F I

H 0 3 K 19/00

ターム(参考)

1 0 1 E 5 J 0 5 6

審査請求 未請求 請求項の数16 O L (全 14 頁)

(21) 出願番号

特願平11-158931

(22) 出願日

平成11年6月7日 (1999. 6. 7)

(71) 出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72) 発明者 平野 博茂

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(74) 代理人 100077931

弁理士 前田 弘 (外1名)

Fターム(参考) 5J056 AA03 AA11 BB02 BB18 BB19

BB51 CC21 DD13 DD28 EE11

GG06

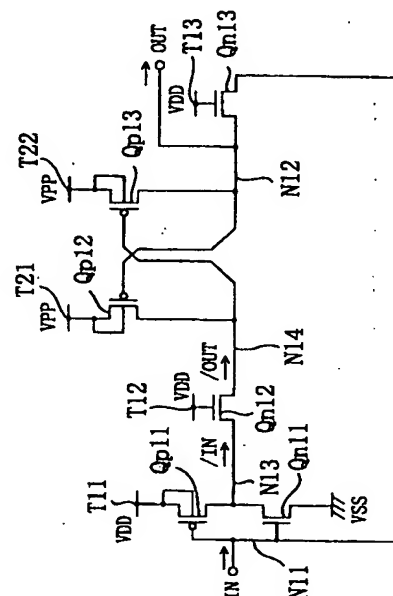
(54) 【発明の名称】 電圧レベルシフト回路

(57) 【要約】

【課題】 電源電圧の低電圧化や入力側と出力側との電源電圧の電位差の拡大に対しても出力信号の確定を迅速に行なう電圧レベルシフト回路を提供する。

【解決手段】 第1のノードN11に入力信号INを受け、第2のノードN12で出力信号OUTを生成する。入力信号INを受けると、第1の電源電圧VDDを受けるインバータにより、第3のノードN13で反転入力信号/INが生成され、この信号がトランジスタQn12を経て第4のノードに導入される。第4のノードでは、トランジスタQp12のオン・オフに応じて第2の電源電圧VPPから反転出力信号/OUTが生成される。第2のノードN12では、トランジスタQp13のオン・オフに応じて第2の電源電圧VPPから出力信号OUTが生成される。第1のノードN11から第2のノードN12にトランジスタQn13を経た入力信号INが供給されるので、出力信号OUTが速やかに確定する。

包袋済



【特許請求の範囲】

【請求項 1】 第 1 の電源電圧によって動作する回路と第 2 の電源電圧によって動作する回路とを備えた半導体装置に配置される電圧レベルシフト回路であって、上記第 1 の電源電圧を用いて生成された入力信号を受け

る第 1 のノードと、
上記第 2 の電源電圧を用いて出力信号を生成する手段と、

上記出力信号を生成する手段によって生成された出力信号を出力する第 2 のノードと、

上記第 1 のノードから上記第 2 のノードに上記入力信号を導入する手段とを備えている電圧レベルシフト回路。

【請求項 2】 請求項 1 記載の電圧レベルシフト回路において、

上記入力信号を受け、上記第 1 の電源電圧を用いて反転入力信号を生成する手段と、

上記第 1 のノードに接続され、上記反転入力信号を伝達するための第 3 のノードと、

上記第 3 のノードに接続され、上記出力信号を受け上記第 2 の電源電圧を用いて反転出力信号を生成する手段と、

上記反転出力信号を伝達するための第 4 のノードと、
上記第 3 のノードと上記第 4 のノードとの間に介設され、上記第 1 の電源電圧を用いて第 3 のノードから第 4 のノードに上記反転入力信号を導入する手段とをさらに備え、

上記出力信号を生成する手段は、上記反転出力信号を受けて出力信号を生成するように構成されていることを特徴とする電圧レベルシフト回路。

【請求項 3】 請求項 2 記載の電圧レベルシフト回路において、

上記反転入力信号を生成する手段は、第 1 の電源電圧を供給する端子と接地との間に設けられた第 1 の第 1 導電型 FET と第 1 の第 2 導電型 FET からなるインバータであり、

上記反転入力信号を導入する手段は、ゲートに第 1 の電源電圧を受ける第 2 の第 2 導電型 FET であり、

上記反転出力信号を生成する手段は、上記第 2 のノードにゲートが接続された第 2 の第 1 導電型 FET であり、

上記出力信号を生成する手段は、上記第 4 のノードにゲートが接続された第 3 の第 1 導電型 FET であり、

上記第 2 のノードに入力信号を導入する手段は、第 1 の電源電圧を供給する端子にゲートが接続された第 3 の第 2 導電型 FET であることを特徴とする電圧レベルシフト回路。

【請求項 4】 請求項 3 記載の電圧レベルシフト回路において、

上記第 2 の第 1 導電型 FET と上記第 4 のノードとの間に介設され、上記第 1 のノードにゲートが接続される第 4 の第 1 導電型 FET をさらに備えていることを特徴と

する電圧レベルシフト回路。

【請求項 5】 請求項 3 又は 4 記載の電圧レベルシフト回路において、

上記第 4 のノードと接地との間に介設され、上記第 1 のノードにゲートが接続される第 5 の第 2 導電型 FET をさらに備えていることを特徴とする電圧レベルシフト回路。

【請求項 6】 請求項 3 記載の電圧レベルシフト回路において、

10 上記第 2 の第 1 導電型 FET と上記第 4 のノードとの間に介設され、上記第 1 のノードにゲートが接続される第 4 の第 1 導電型 FET と、

上記第 3 の第 1 導電型 FET と上記第 2 のノードとの間に介設され、上記第 3 のノードにゲートが接続される第 5 の第 1 導電型 FET とをさらに備えていることを特徴とする電圧レベルシフト回路。

【請求項 7】 請求項 6 記載の電圧レベルシフト回路において、

20 上記第 4 のノードと接地との間に介設され、ゲートが上記第 1 のノードに接続される第 4 の第 2 導電型 FET と、

上記第 2 のノードと接地との間に介設され、ゲートが上記第 1 のノードに接続される第 5 の第 2 導電型 FET とをさらに備えていることを特徴とする電圧レベルシフト回路。

【請求項 8】 請求項 7 記載の電圧レベルシフト回路において、

上記第 2 の第 1 導電型 FET と第 3 の第 1 導電型 FET とは、第 2 の電源電圧を供給する共通の端子に接続されており、

30 上記第 4 の第 2 導電型 FET と第 5 の第 2 導電型 FET とは、接地電圧を供給する共通の部位に接続されており、

上記第 2 及び第 3 の第 1 導電型 FET と上記第 2 の電源電圧を供給する端子との間に介設され、第 1 の制御信号をゲートに受ける電荷供給制御用スイッチング素子と、

40 上記第 4 及び第 5 の第 2 導電型 FET と上記接地電圧を供給する部位との間に介設され、上記第 1 の制御信号とは逆論理の第 2 の制御信号をゲートに受ける電荷引き抜き制御用スイッチング素子とをさらに備えていることを特徴とする電圧レベルシフト回路。

【請求項 9】 請求項 6 又は 7 記載の電圧レベルシフト回路において、

上記第 2 の第 1 導電型 FET と上記第 4 の第 1 導電型 FET とは、共通の第 1 のウェル領域に形成されており、
上記第 3 の第 1 導電型 FET と上記第 5 の第 1 導電型 FET とは、共通の第 2 のウェル領域に形成されていることを特徴とする電圧レベルシフト回路。

【請求項 10】 第 1 の電源電圧によって動作する回路と第 2 の電源電圧によって動作する回路とを備えた半導

体装置に配置される電圧レベルシフト回路であって、
上記第1の電源電圧を用いて生成された入力信号を受け
る第1のノードと、
反転出力信号を受け、上記第2の電源電圧を用いて出力
信号を生成する手段と、
上記出力信号を生成する手段によって生成された出力信
号を伝達するための第2のノードと、
上記入力信号を受けて反転入力信号を生成する手段と、
上記第1のノードに接続され、上記反転入力信号を伝達
するための第3のノードと、
上記出力信号を受け上記第2の電源電圧を用いて上記反
転出力信号を生成する第1の手段と、
上記第3のノードに接続され、上記反転出力信号を伝達
するための第4のノードと、
上記反転出力信号を生成する手段と上記第4のノードと
の間に介設され、上記入力信号を受けて上記反転出力信
号を生成する第2の手段と、
上記第3のノードと上記第4のノードとの間に介設さ
れ、上記第1の電源電圧を用いて第3のノードから第4
のノードに上記反転入力信号を導入する手段とを備えて
いる電圧レベルシフト回路。

【請求項11】 請求項10記載の電圧レベルシフト回
路において、

上記反転入力信号を生成する手段は、第1の電源電圧を
供給する端子と接地との間に設けられた第1の第1導電
型FETと第1の第2導電型FETからなるインバータ
であり、

上記反転入力信号を導入する手段は、ゲートに第1の電
源電圧を受ける第2の第2導電型FETであり、

上記反転出力信号を生成する第1の手段は、上記第2の
ノードにゲートが接続された第2の第1導電型FETで
あり、

上記出力信号を生成する手段は、上記第4のノードにゲ
ートが接続された第3の第1導電型FETであり、

上記反転出力信号を生成する第2の手段は、上記第2の
第1導電型FETと上記第4のノードとの間に介設さ
れ、上記第1のノードにゲートが接続される第4の第1
電型FETであることを特徴とする電圧レベルシフト回
路。

【請求項12】 請求項11記載の電圧レベルシフト回
路において、

上記第4のノードと接地との間に介設され、上記第1の
ノードにゲートが接続される第4の第2導電型FETを
さらに備えていることを特徴とする電圧レベルシフト回
路。

【請求項13】 請求項11記載の電圧レベルシフト回
路において、

上記第3の第1導電型FETと上記第2のノードとの間
に介設され、上記第3のノードにゲートが接続される第
5の第1導電型FETとをさらに備えていることを特徴

とする電圧レベルシフト回路。

【請求項14】 請求項13記載の電圧レベルシフト回
路において、

上記第4のノードと接地との間に介設され、ゲートが上
記第1のノードに接続される第4の第2導電型FET
と、

上記第2のノードと接地との間に介設され、ゲートが上
記第1のノードに接続される第5の第2導電型FETと
をさらに備えていることを特徴とする電圧レベルシフト
回路。

【請求項15】 請求項14記載の電圧レベルシフト回
路において、

上記第2の第1導電型FETと第3の第1導電型FET
とは、第2の電源電圧を供給する共通の端子に接続され
ており、

上記第4の第2導電型FETと第5の第2導電型FET
とは、接地電圧を供給する共通の部位に接続されてお
り、

上記第2及び第3の第1導電型FETと上記第2の電源
電圧を供給する端子との間に介設され、第1の制御信号
をゲートに受ける電荷供給制御用スイッチング素子と、
上記第4及び第5の第2導電型FETと上記接地電圧を
供給する部位との間に介設され、上記第1の制御信号と
は逆論理の第2の制御信号をゲートに受ける電荷引き抜
き制御用スイッチング素子とをさらに備えていることを
特徴とする電圧レベルシフト回路。

【請求項16】 請求項14又は15記載の電圧レベル
シフト回路において、

上記第2の第1導電型FETと上記第4の第1導電型F
ETとは、共通の第1のウェル領域に形成されており、
上記第3の第1導電型FETと上記第5の第1導電型F
ETとは、共通の第2のウェル領域に形成されているこ
とを特徴とする電圧レベルシフト回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置内に配
置される電圧レベルシフト回路に係り、特に低電圧下
における動作の高速化対策に関する。

【0002】

【従来の技術】近年、半導体装置の低消費電力化が進
み、半導体デバイス内に形成される回路を駆動するた
めの電圧をできる限り低電圧化すべく、互いに電圧が異
なる複数の内部電源電圧を用いる複数の回路を半導体デ
バイス内に内蔵していることが多い。その場合、これらの
複数の回路間におけるインターフェース部に電圧レベル
シフト回路を介在させる必要が生じるが、複数の内部電
源電圧間の電位差が大きいときにも、高速かつ正確に動
作することが求められている。

【0003】まず、従来の電圧レベルシフト回路につい
て、図9を参照しながら説明する。同図において、IN

は入力信号、 \neg INは反転入力信号、OUTは出力信号、 \neg OUTは反転出力信号、N91～N93はノード名、Qp91～Qp93はPチャネル型MOSトランジスタ、Qn91～Qn92はNチャネル型MOSトランジスタ、VSSは接地電圧、VDDは第1の電源電圧、VPPはVDDよりも電圧値の高い第2の電源電圧をそれぞれ示す。

【0004】同図に示すように、この電圧レベルシフト回路において、入力信号INが入力されるノードN90と出力信号OUTが生成されるノードN93との間に、以下のようなMOSトランジスタが設けられている。まず、第1の電源電圧VDDを供給する端子T91と接地電圧VSSを供給する接地との間に、各々ゲートがノードN90に接続されるPチャネル型MOSトランジスタQp91（負荷トランジスタ）と、Nチャネル型MOSトランジスタQn91（駆動トランジスタ）とが直列に配置されている。Pチャネル型MOSトランジスタQp91のドレインは第1の電源電圧VDDを供給する端子T91に、Nチャネル型MOSトランジスタQn91のソースは接地に、Pチャネル型MOSトランジスタQp91のソースとNチャネル型MOSトランジスタQn91のドレインとは共通のノードN92に、それぞれ接続されている。すなわち、各MOSトランジスタQp91、Qn91によって構成されるインバータにより、ノードN90に受けた入力信号INが、ノードN91で反転入力信号 \neg INに変換される。

【0005】そして、ノードN91とノードN92との間にはNチャネル型MOSトランジスタQn92（逆流防止用トランジスタ）が介設されており、このNチャネル型MOSトランジスタQn92のゲートは、第1の電源電圧VDDを供給する端子T92に接続されている。また、ノードN92と第2の電源電圧VPPを供給する端子T93との間にはPチャネル型MOSトランジスタQp92が介設されており、このPチャネル型MOSトランジスタQp92のゲートは、出力信号OUTを生成するノードN91に接続されている。また、ノードN93と第2の電源電圧VPPを供給する端子T94との間にはPチャネル型MOSトランジスタQp93が介設されており、このPチャネル型MOSトランジスタQp93のゲートはノードN92に接続されている。また、ノードN92と接地との間にはNチャネル型MOSトランジスタQn95が介設されており、このNチャネル型MOSトランジスタQn95のゲートはノードN93に接続されている。

【0006】すなわち、入力信号INがLレベルからHレベルに遷移するときには、反転入力信号 \neg INがLレベルになり、Nチャネル型MOSトランジスタQn92を経てノードN92に流れる信号（反転出力信号 \neg OUT）がLレベルに遷移する。このとき、Pチャネル型MOSトランジスタQn93がオンになり、ノードN93

に第2の電源電圧VPPが供給され、ノードN93からHレベルの出力信号OUTが出力される。また、PチャネルMOSトランジスタQp92はオフになるので、ノードN92の電位はLレベルに固定され、ノードN93の電位はLレベルに確定する。

【0007】一方、入力信号INがHレベルからLレベルに遷移するときには、反転入力信号 \neg INがHレベルになり、ノードN92に流れる信号（反転出力信号 \neg OUT）がHレベルになる。このとき、Pチャネル型MOSトランジスタQn93がオフになり、ノードN93からLレベルの出力信号OUTが出力される。また、PチャネルMOSトランジスタQp92はオンになるので、ノードN92の電位は高電位（Hレベル）に固定される。また、ノードN91とノードN92との間にNチャネル型MOSトランジスタQn92が介在していることで、ノードN92からノードN91への逆流が抑制され、ノードN92の電位は安定に保持され、出力信号OUTの論理値が確定する。

【0008】以上の動作により、入力信号INがHレベルのときには電圧レベルシフト回路からHレベルの信号が出力され、入力信号INがLレベルのときには電圧レベルシフト回路からLレベルの信号が出力される。そして、第1の電源電圧VDDと第2の電源電圧VPPとの電位差に応じた分だけ出力信号OUTの論理振幅が増幅され、この出力信号OUTが、第2の電源電圧VPPを受けて動作するトランジスタ等の素子を配置した回路内で使用するのに適した信号となる。

【0009】

【発明が解決しようとする課題】しかしながら、上記従来の電圧レベルシフト回路においては、以下のような不具合があった。

【0010】上述のように、半導体デバイスの低電圧化に伴い、第1の電源電圧は3V程度になってきている。そして、第2の電源電圧VPPが5V程度であるとする。その場合、入力信号がLレベルのときには、ノードN91にはHレベルの反転入力信号 \neg INが生成される。この時の反転入力信号 \neg INの電位を3Vに設定すると、ノードN92の電位は、3VからNチャネル型MOSトランジスタQn92のしきい値電圧（一般に0.7V程度）を引いた値2.3V程度になる。ところが、Pチャネル型MOSトランジスタQp93を完全にオフにするには、そのゲートに5V程度の電圧を印加する必要がある、ノードN92の電位が2.3V程度のときにはPチャネル型MOSトランジスタQp93は半分開いた状態である。そして、ある程度時間が経過して、ノードN92に十分な電荷が蓄積され、Pチャネル型MOSトランジスタQp93が次第に閉じられて、ノードN93の電圧がある程度低電圧になると、Pチャネル型MOSトランジスタQp92が開いて、第2の電源電圧VPPが供給されてから、Pチャネル型MOSトランジスタ

Q P 9 3 が完全に閉じられる。したがって、入力信号 I N の L レベルへの変化に対する反転出力信号 / O U T の立ち上がり動作が遅れる。

【0011】一方、反転出力信号 / O U T の立ち上がり動作を高めるには、各トランジスタ Q p 9 2, Q p 9 3 の能力を大きくすることが考えられるが、そうすると入力信号 I N が H レベルに変化したときに、反転出力信号 / O U T を L レベルに変化させる引き抜き動作が遅れることになる。

【0012】本発明の目的は、相異なる複数の電源電圧で動作する複数の回路を備えた半導体デバイスに配置される電圧レベルシフト回路において、電源電圧が低電圧化されたり、複数の電源電圧間の電位差が大きい場合にも、入力信号の変化に対する出力信号の確定を迅速に行なわせるための手段を講ずることにある。

【0013】

【課題を解決するための手段】本発明の第 1 の電圧レベルシフト回路は、第 1 の電源電圧によって動作する回路と第 2 の電源電圧によって動作する回路とを備えた半導体装置に配置される電圧レベルシフト回路であって、上記第 1 の電源電圧を用いて生成された入力信号を受ける第 1 のノードと、上記第 2 の電源電圧を用いて出力信号を生成する手段と、上記出力信号を生成する手段によって生成された出力信号を出力する第 2 のノードと、上記第 1 のノードから上記第 2 のノードに上記入力信号を導入する手段とを備えている。

【0014】これにより、入力信号が H レベルに遷移するのに応じて出力信号が H レベルに遷移する際に、出力信号を生成する第 2 のノードに入力信号が導入される。したがって、入力信号を生成する第 1 の電源電圧と出力信号を生成する第 2 の電源電圧との電位差が大きい場合にも、出力信号の生成に必要な電圧のうち第 2 のノードにおいて入力信号の分だけ確保される。したがって、入力信号が H レベルに遷移するのに応じて出力信号が H レベルに遷移する際における回路動作が迅速化される。

【0015】上記第 1 の電圧レベルシフト回路において、上記入力信号を受け、上記第 1 の電源電圧を用いて反転入力信号を生成する手段と、上記第 1 のノードに接続され、上記反転入力信号を伝達するための第 3 のノードと、上記第 3 のノードに接続され、上記出力信号を受け上記第 2 の電源電圧を用いて反転出力信号を生成する手段と、上記反転出力信号を伝達するための第 4 のノードと、上記第 3 のノードと上記第 4 のノードとの間に介設され、上記第 1 の電源電圧を用いて上記第 3 のノードから第 4 のノードに上記反転入力信号を導入する手段とをさらに備え、上記出力信号を生成する手段は、上記反転出力信号を受けて出力信号を生成するように構成することができる。

【0016】これにより、入力信号が L レベルから H レベルに遷移する際に、出力信号を生成する第 2 のノード

に H レベルの入力信号が導入されると、第 2 のノードの電位が速やかに上昇する。そして、この第 2 のノードの信号を受けて反転出力信号を生成する手段により、L レベルの反転出力信号が速やかに生成される。また、反転出力信号を受けて出力信号を生成する手段により、速やかに H レベルの出力信号が生成される。この動作の繰り返しによって、出力信号が H レベルに確定する回路動作が迅速化される。また、入力信号が L レベルに遷移する際にも、同様の作用によって出力信号が L レベルに確定する回路動作が迅速化される。

【0017】上記第 1 の電圧レベルシフト回路において、上記反転入力信号を生成する手段は第 1 の電源電圧を供給する端子と接地との間に設けられた第 1 の第 1 導電型 F E T と第 1 の第 2 導電型 F E T からなるインバータであり、上記反転入力信号を導入する手段はゲートに第 1 の電源電圧を受ける第 2 の第 2 導電型 F E T であり、上記反転出力信号を生成する手段は、上記第 2 のノードにゲートが接続された第 2 の第 1 導電型 F E T であり、上記出力信号を生成する手段は上記第 4 のノードにゲートが接続された第 3 の第 1 導電型 F E T であり、上記第 2 のノードに上記入力信号を導入する手段は第 1 の電源電圧を供給する端子にゲートが接続された第 3 の第 2 導電型 F E T であることが好ましい。

【0018】これにより、高集積化に適した F E T を用いて電圧レベルシフト回路が構成されるので、互いに電源電圧が異なる複数の回路が搭載される L S I に適した電圧レベルシフト回路が得られる。

【0019】上記第 1 の電圧レベルシフト回路において、上記第 2 の第 1 導電型 F E T と上記第 4 のノードとの間に介設され、上記第 1 のノードにゲートが接続される第 4 の第 1 導電型 F E T をさらに備えることにより、入力信号が L レベルから H レベルに遷移する際に、L レベルの反転出力信号の生成がより迅速に行なわれるので、出力信号が H レベルに確定するまでの回路動作がより迅速化される。

【0020】その場合、上記第 4 のノードと接地との間に介設され、上記第 3 のノードにゲートが接続される第 4 の第 2 導電型 F E T をさらに備えることにより、入力信号が L レベルから H レベルに遷移する際に、第 4 のノードの電位を迅速に降下させることができるので、出力信号が H レベルに確定するまでの回路動作がさらに迅速化される。

【0021】上記第 1 の電圧レベルシフト回路において、上記第 2 の第 1 導電型 F E T と上記第 4 のノードとの間に介設され上記第 1 のノードにゲートが接続される第 4 の第 1 導電型 F E T と、上記第 3 の第 1 導電型 F E T と上記第 2 のノードとの間に介設され上記第 3 のノードにゲートが接続される第 5 の第 1 導電型 F E T とをさらに備えることにより、入力信号が L レベルから H レベルに遷移する際には L レベルの反転出力信号の生成がよ

り迅速に行なわれ、入力信号がHレベルからLレベルに遷移する際にはHレベルの反転入力信号を受けてLレベルの出力信号が生成されるので、入力信号の遷移に対する出力信号の確定までの回路動作がより迅速化される。

【0022】その場合、上記第4のノードと接地との間に介設され、ゲートが上記第1のノードに接続される第4の第2導電型FETと、上記第2のノードと接地との間に介設され、ゲートが上記第1のノードに接続される第5の第2導電型FETとをさらに備えることにより、第3、第4のノードを降下させる際の速度が高くなるので、入力信号の遷移に対する出力信号の確定までの回路動作がさらに迅速化される。

【0023】上記第1の電圧レベルシフト回路において、上記第2の第1導電型FETと第3の第1導電型FETとを第2の電源電圧を供給する共通の端子に接続し、上記第4の第2導電型FETと第5の第2導電型FETとを接地電圧を供給する共通の部位に接続し、上記第2及び第3の第1導電型FETと上記第2の電源電圧を供給する端子との間に介設され第1の制御信号をゲートに受ける電荷供給制御用スイッチング素子と、上記第4及び第5の第2導電型FETと上記接地電圧を供給する部位との間に介設され上記第1の制御信号とは逆論理の第2の制御信号をゲートに受ける電荷引き抜き制御用スイッチング素子とをさらに備えることにより、入力信号の遷移に応じた出力信号の変化の際に、第4のノードと第2のノードとの電位の変化のタイミングを種々調整することが可能になり、特に、第1の電源電圧と第2の電源電圧との電位差が大きい場合における出力信号の増幅機能を高めることができる。

【0024】上記第1の電圧レベルシフト回路において、上記第2の第1導電型FETと上記第4の第1導電型FETとを共通の第1のウェル領域に形成し、上記第3の第1導電型FETと上記第5の第1導電型FETとを共通の第2のウェル領域に形成することにより、回路に必要な基板面積をできるだけ小さくすることが可能になり、高集積化に適した電圧レベルシフト回路が得られる。

【0025】本発明の第2の電圧レベルシフト回路は、第1の電源電圧によって動作する回路と第2の電源電圧によって動作する回路とを備えた半導体装置に配置される電圧レベルシフト回路であって、上記第1の電源電圧を用いて生成された入力信号を受ける第1のノードと、反転出力信号を受け上記第2の電源電圧を用いて出力信号を生成する手段と、上記出力信号を生成する手段によって生成された出力信号を伝達するための第2のノードと、上記入力信号を受けて反転入力信号を生成する手段と、上記第1のノードに接続され、上記反転入力信号を伝達するための第3のノードと、上記出力信号を受け上記第2の電源電圧を用いて反転出力信号を生成する第1の手段と、上記第3のノードに接続され、上記反転出力

信号を伝達するための第4のノードと、上記反転出力信号を生成する手段と上記第4のノードとの間に介設され、上記入力信号を受けて上記反転出力信号を生成する第2の手段と、上記第3のノードと上記第4のノードとの間に介設され、上記第1の電源電圧を用いて第3のノードから第4のノードに反転入力信号を導入する手段とを備えている。

【0026】これにより、入力信号がLレベルからHレベルに遷移する際に、反転出力信号を生成する第2の手段により、第4のノードの電位が速やかにLレベルに降下するので、出力信号を生成する手段によりLレベルの出力信号が速やかに生成される。したがって、入力信号がLレベルからHレベルに遷移する際の出力信号の確定までの回路動作が迅速化される。

【0027】上記第2の電圧レベルシフト回路において、上記反転入力信号を生成する手段は、第1の電源電圧を供給する端子と接地との間に設けられた第1の第1導電型FETと第1の第2導電型FETからなるインバータであり、上記反転入力信号を導入する手段は、ゲートに第1の電源電圧を受ける第2の第2導電型FETであり、上記反転出力信号を生成する第1の手段は、上記第2のノードにゲートが接続された第2の第1導電型FETであり、上記出力信号を生成する手段は、上記第4のノードにゲートが接続された第3の第1導電型FETであり、上記反転出力信号を生成する第2の手段は、上記第2の第1導電型FETと上記第4のノードとの間に介設され、上記第1のノードにゲートが接続される第4の第1電型FETであることが好ましい。

【0028】これにより、高集積化に適したFETを用いて電圧レベルシフト回路が構成されるので、互いに電源電圧が異なる複数の回路が搭載されるLSIに適した電圧レベルシフト回路が得られる。

【0029】上記第2の電圧レベルシフト回路において、上記第4のノードと接地との間に介設され、上記第1のノードにゲートが接続される第4の第2導電型FETをさらに備えることにより、入力信号がLレベルからHレベルに遷移する際に、第4のノードの電位がより速やかにLレベルに降下するので、出力信号の確定までの回路動作がさらに迅速化される。

【0030】上記第2の電圧レベルシフト回路において、上記第3の第1導電型FETと上記第2のノードとの間に介設され、上記第3のノードにゲートが接続される第5の第1導電型FETとをさらに備えることにより、入力信号がLレベルからHレベルに遷移する際にはLレベルの反転出力信号の生成がより迅速に行なわれ、入力信号がHレベルからLレベルに遷移する際にはHレベルの反転入力信号を受けてLレベルの出力信号が生成されるので、入力信号の遷移に対する出力信号の確定までの回路動作がより迅速化される。

【0031】上記第2の電圧レベルシフト回路におい

て、上記第4のノードと接地との間に介設され、ゲートが上記第1のノードに接続される第4の第2導電型FETと、上記第2のノードと接地との間に介設され、ゲートが上記第1のノードに接続される第5の第2導電型FETとをさらに備えることにより、第3、第4のノードを降下させる際の速度が高くなるので、入力信号の遷移に対する出力信号の確定までの回路動作がさらに迅速化される。

【0032】上記第2の電圧レベルシフト回路において、上記第2の第1導電型FETと第3の第1導電型FETとを第2の電源電圧を供給する共通の端子に接続し、上記第4の第2導電型FETと第5の第2導電型FETとを接地電圧を供給する共通の部位に接続し、上記第2及び第3の第1導電型FETと上記第2の電源電圧を供給する端子との間に介設され第1の制御信号をゲートに受ける電荷供給制御用スイッチング素子と、上記第4及び第5の第2導電型FETと上記接地電圧を供給する部位との間に介設され上記第1の制御信号とは逆論理の第2の制御信号をゲートに受ける電荷引き抜き制御用スイッチング素子とをさらに備えることにより、入力信号の遷移に応じた出力信号の変化の際に、第4のノードと第2のノードとの電位の変化のタイミングを種々調整することが可能になり、特に、第1の電源電圧と第2の電源電圧との電位差が大きい場合における出力信号の増幅機能を高めることができる。

【0033】上記第2の電圧レベルシフト回路において、上記第2の第1導電型FETと上記第4の第1導電型FETとを共通の第1のウェル領域に形成し、上記第3の第1導電型FETと上記第5の第1導電型FETとを共通の第2のウェル領域に形成することにより、回路に必要な基板面積をできるだけ小さくすることが可能になり、高集積化に適した電圧レベルシフト回路が得られる。

【0034】

【発明の実施の形態】（第1の実施形態）図1は、本発明の第1の実施形態に係る電圧レベルシフト回路の構成を示す電気回路図である。

【0035】同図において、INは入力信号、/INは反転入力信号、OUTは出力信号、/OUTは反転出力信号、N11~N13はノード名、Qp11~Qp13はPチャネル型MOSトランジスタ、Qn11~Qn13はNチャネル型MOSトランジスタ、VSSは接地電圧、VDDは第1の電源電圧、VPPはVDDよりも電圧値の高い第2の電源電圧、T11~T13は第1の電源電圧VDDを供給する端子、T21、T22は第2の電源電圧VPPを供給する端子をそれぞれ示す。

【0036】同図に示すように、この電圧レベルシフト回路において、入力信号INが入力される第1のノードN11と出力信号OUTが生成される第2のノードN12との間には、以下のようなMOSトランジスタが設け

られている。まず、第1の電源電圧VDDを供給する端子T11と接地電圧VSSを供給する接地との間に、各々ゲートがノードN10に接続されるPチャネル型MOSトランジスタQp11（負荷トランジスタ）と、Nチャネル型MOSトランジスタQn11（駆動トランジスタ）とが直列に配置されている。Pチャネル型MOSトランジスタQp11のドレインは第1の電源電圧VDDを供給する端子T12に、Nチャネル型MOSトランジスタQn11のソースは接地に、Pチャネル型MOSトランジスタQp11のソースとNチャネル型MOSトランジスタQn11のドレインとは共通の第4のノードN14に、それぞれ接続されている。すなわち、各MOSトランジスタQp11、Qn11によって構成されるインバータにより、第1のノードN11に受けた入力信号INが第3のノードN13で反転入力信号/INに変換される。

【0037】そして、第3のノードN13と第4のノードN14の間にはNチャネル型MOSトランジスタQn12（逆流防止用トランジスタ）が介設されており、このNチャネル型MOSトランジスタQn12のゲートは、第1の電源電圧VDDを供給する端子T12に接続されている。また、ノードN12と第2の電源電圧VPPを供給する端子T21との間にはPチャネル型MOSトランジスタQp12が介設されており、このPチャネル型MOSトランジスタQn12のゲートは、出力信号OUTを生成する第3のノードN13に接続されている。また、第2のノードN12と第2の電源電圧VPPを供給する端子T22との間にはPチャネル型MOSトランジスタQn13が介設されており、このPチャネル型MOSトランジスタQp13のゲートは第4のノードN14に接続されている。つまり、反転入力信号/INと同じ論理の反転出力信号/OUTに応じて、反転出力信号/OUTとは逆の論理すなわち入力信号INと同じ論理の出力信号OUTが生成され、この出力信号OUTの論理振幅は、第1の電源電圧VDDと第2の電源電圧VPPの電位差に応じて増幅されることになる。

【0038】ここで、上記従来の電圧レベルシフト回路（図9参照）に対する本実施形態に係る電圧レベルシフト回路の特徴は、第1のノードN11と第2のノードN12との間に、Nチャネル型MOSトランジスタQn13が介設されており、このNチャネル型MOSトランジスタQn13のゲートは第1の電源電圧VDDを供給する端子T13に接続されている点である。このNチャネル型MOSトランジスタQn13は、第1のノードN11の入力信号INを第2のノードN12に直接導入するとともに、電圧第2のノードN12から第1のノードN11に信号が逆流仕様とする際にはしきい値電圧の分だけ電圧を降下させるので、信号の逆流を抑制する機能をも有するものである。

【0039】本実施形態の電圧レベルシフト回路は、入

力信号INがLレベルからHレベルに遷移する際には、以下のように動作する。まず、入力信号INがHレベルに変化すると、Pチャネル型MOSトランジスタQp11がオフ状態に切り換わり、Nチャネル型MOSトランジスタQn11がオン状態に切り換わることで、第4のノードN14の電荷はNチャネル型MOSトランジスタQn12、Qn11を経て接地に引き抜かれる。そして、第4のノードN14の電位が降下することにより、Pチャネル型MOSトランジスタQp13がオン状態になり、第2の電源電圧VPPの供給によって第2のノードN12の電位が上昇する。さらに、第2のノードN12の電位の上昇に伴い、Pチャネル型MOSトランジスタQp12がオフ状態になり、第4のノードN14への第2の電源電圧VPPの電圧の供給が停止される。このとき、本実施形態の電圧レベルシフト回路においては、入力信号INがHレベルのときには、第2のノードN12に、Nチャネル型MOSトランジスタQn13を経てHレベルの電圧が供給されるので、Pチャネル型MOSトランジスタQp12が迅速にオフ状態に切り換わり、第4のノードN14から電荷が速やかに接地に引き抜かれる。また、第4のノードN14の電位が速やかに降下することにより、Pチャネル型MOSトランジスタQp13が迅速にオン状態に切り換わり、第2のノードN12の電位がより速やかに上昇する。すなわち、第2のノードN12へのN型トランジスタQn13からの入力信号INの供給と、この電圧の供給によるP型MOSトランジスタQp13のオン状態への切り換わり動作の促進とが相俟って、出力信号OUTがLレベルからHレベルに迅速に切り換わるのである。言い換えると、出力信号OUT及び反転出力信号/OUTが生成される第4のノードN14、N13に対する電荷の供給・遮断を、第2の電源電圧VPPによって作動するトランジスタだけでなく第1の電源電圧VDDによって作動するトランジスタをも利用して行なうことにより、第2のノードN12の電位を速やかに高電位に確定することができる。したがって、第1の電源電圧VDDと第2の電源電圧VPP ($VDD < VPP$) との電位差が大きいときにも、出力信号OUTのLレベルからHレベルへの遷移の遅れを抑制することができる。

【0040】一方、本実施形態の電圧レベルシフト回路は、入力信号INがHレベルからLレベルに遷移する際には、以下のように動作する。まず、入力信号INがLレベルに変化すると、Pチャネル型MOSトランジスタQp11がオン状態に切り換わり、Nチャネル型MOSトランジスタQn11がオフ状態に切り換わることで、第4のノードN14の電荷は上昇する。このとき、第4のノードN14には、第3のノードN13の電位からNチャネル型MOSトランジスタQn12のしきい値電圧を差し引いた分だけしか供給されない点は従来の電圧レベルシフト回路と同様である。しかし、本実施形態の電

圧レベルシフト回路においては、入力信号INがLレベルのときには、第2のノードN12に、Nチャネル型MOSトランジスタQn13を経てLレベルの電圧が供給されるので、Pチャネル型MOSトランジスタQp12がより迅速にオン状態に切り換わり、第4のノードN14の電位が速やかに上昇する。つまり、Nチャネル型MOSトランジスタQn12を経た電圧の供給に加えて、Pチャネル型MOSトランジスタQp12からの第2の電源電圧VPPの供給が促進されることによって第4のノードN14の電圧が速やかに上昇する。言い換えると、出力信号OUT及び反転出力信号/OUTが生成される第4のノードN14、N13に対する電荷の供給・遮断を、第2の電源電圧VPPによって作動するトランジスタだけでなく第1の電源電圧VDDによって作動するトランジスタをも利用して行なうことにより、第2のノードN12の電位を速やかに低電位に確定することができる。したがって、第1の電源電圧VDDと第2の電源電圧VPP ($VDD < VPP$) との電位差が大きいときにも、出力信号OUTのHレベルからLレベルへの遷移動作の遅れを抑制することができる。

【0041】また、入力信号INがLレベルからHレベルに遷移する際にPチャネル型MOSトランジスタQp13を迅速にオフ状態に切り換えることができるので、各Pチャネル型MOSトランジスタQp12、Qp13の能力を大きくしても、第4のノードN14からの電荷の引き抜き動作を阻害することがない。したがって、Pチャネル型MOSトランジスタQp12、Qp13の能力を大きくして、出力信号OUTがHレベルからLレベルに遷移するときの回路動作をさらに高めることも可能になる。

【0042】(第2の実施形態) 図2は、本発明の第2の実施形態に係る電圧レベルシフト回路の構成を示す電気回路図である。

【0043】同図に示すように、本実施形態の電圧レベルシフト回路においても、入力信号INが入力される第1のノードN11と出力信号OUTが生成される第2のノードN12との間に、Pチャネル型MOSトランジスタQp11(負荷トランジスタ)とNチャネル型MOSトランジスタQn11(駆動トランジスタ)とを直列に配置してなるインバータと、Nチャネル型MOSトランジスタQn12(逆流防止用トランジスタ)と、Pチャネル型MOSトランジスタQp12と、Pチャネル型MOSトランジスタQp13と、Nチャネル型MOSトランジスタQn13とが配置されている点は、上記第1の実施形態に係る電圧レベルシフト回路と同じである。

【0044】ここで、本実施形態の電圧レベルシフト回路においては、上記第1の実施形態の電圧レベルシフト回路における各MOSトランジスタに加えて、2つのPチャネル型MOSトランジスタが配置されている。まず、第4のノードN14とPチャネル型MOSトランジ

スタQ p 1 2との間にはPチャネル型MOSトランジスタQ p 1 4が介設されており、このPチャネル型MOSトランジスタQ p 1 4のゲートは第1のノードN 1 1に接続されている。また、第2のノードN 1 2とPチャネル型MOSトランジスタQ p 1 3との間にはPチャネル型MOSトランジスタQ p 1 5が介設されており、このPチャネル型MOSトランジスタQ p 1 5のゲートは第3のノードN 1 3に接続されている。

【0045】本実施形態の電圧レベルシフト回路においては、入力信号INの論理の切り換わりに対して、出力信号OUTの論理が上記第1の実施形態の電圧レベルシフト回路と同様に動作によって切り換わるが、その際、さらに、以下のような効果を発揮することができる。

【0046】入力信号INがLレベルからHレベルに移る際には、入力信号INがHレベルになるとPチャネル型MOSトランジスタQ p 1 4がオフ状態になることにより、第4のノードN 1 4への端子T 2 1からの第2の電源電圧VPPの供給が遮断されるので、第4のノードN 1 4の電位がより迅速に降下する。つまり、出力信号OUTのLレベルからHレベルへの遷移動作が向上する。

【0047】また、入力信号INがHレベルからLレベルに移る際には、2つのPチャネル型MOSトランジスタQ p 1 3、Q p 1 5が共にオフ状態に切り換わる。その際、Pチャネル型MOSトランジスタQ p 1 5は第3のノードN 1 3の電位（反転入力信号／INのレベル）を直接ゲートに受けるので、第3のノードN 1 3の電位からNチャネル型MOSトランジスタQ n 1 2のしきい値電圧を差し引いた電圧をゲートに受けるPチャネル型MOSトランジスタQ p 1 3よりも迅速かつ確実にオフ状態に切り換わる。したがって、第2のノードN 1 2の電位をより迅速に低電位に降下させることができる。つまり、出力信号OUTのHレベルからLレベルへの遷移が確定するまでの回路動作が向上する。

【0048】（第3の実施形態）図3は、本発明の第3の実施形態に係る電圧レベルシフト回路の構成を示す電気回路図である。

【0049】同図に示すように、本実施形態の電圧レベルシフト回路は、上記第2の実施形態の電圧レベルシフト回路における2つのPチャネル型MOSトランジスタQ p 1 2、Q p 1 4のウェル領域を共通化するとともに、2つのPチャネルトランジスタQ p 1 3、Q p 1 5のウェル領域を共通化した構成を有している。

【0050】本実施形態の電圧レベルシフト回路においては、出力信号OUTの論理の遷移が確定するまでの回路動作は上記第2の実施形態とほぼ同等である。

【0051】加えて、2つのPチャネル型MOSトランジスタQ p 1 2、Q p 1 4のウェル領域を共通化するとともに、2つのPチャネルトランジスタQ p 1 3、Q p 1 5のウェル領域を共通化することにより、電圧レベル

シフト回路を小さい面積で実装アウトすることができるという利点がある。

【0052】なお、2つのPチャネル型MOSトランジスタQ p 1 2、Q p 1 4のウェル領域を共通化するか、2つのPチャネルトランジスタQ p 1 3、Q p 1 5のウェル領域を共通化するだけでも、電圧レベルシフト回路の小面積化を図る効果は得られる。

【0053】（第4の実施形態）図4は、本発明の第4の実施形態に係る電圧レベルシフト回路の構成を示す電気回路図である。

【0054】同図に示すように、本実施形態の電圧レベルシフト回路においても、入力信号INが入力される第1のノードN 1 1と出力信号OUTが生成される第2のノードN 1 2との間に、Pチャネル型MOSトランジスタQ p 1 1（負荷トランジスタ）とNチャネル型MOSトランジスタQ n 1 1（駆動トランジスタ）とを直列に配置してなるインバータと、Nチャネル型MOSトランジスタQ n 1 2（逆流防止用トランジスタ）と、Pチャネル型MOSトランジスタQ p 1 2及びPチャネル型MOSトランジスタQ p 1 4と、Pチャネル型MOSトランジスタQ p 1 3及びPチャネル型MOSトランジスタQ p 1 5とが配置されている点は、上記第2の実施形態に係る電圧レベルシフト回路と同じである。ただし、本実施形態においては、第2の実施形態において配置されていたNチャネル型MOSトランジスタQ n 1 3は設けられていない。

【0055】また、本実施形態の電圧レベルシフト回路においては、上記第2の実施形態の電圧レベルシフト回路における各MOSトランジスタに加えて、2つのNチャネル型MOSトランジスタが配置されている。まず、第4のノードN 1 4と接地との間にはNチャネル型MOSトランジスタQ n 1 4が介設されており、このNチャネル型MOSトランジスタQ n 1 4のゲートは第1のノードN 1 1に接続されている。また、第2のノードN 1 2と接地との間にはNチャネル型MOSトランジスタQ n 1 5が介設されており、このNチャネル型MOSトランジスタQ n 1 5のゲートは第3のノードN 1 3に接続されている。

【0056】本実施形態の電圧レベルシフト回路においては、以下の動作によって出力信号OUTの論理が遷移する。

【0057】入力信号INがLレベルからHレベルに変化すると、入力信号INを直接ゲートに受けるPチャネル型MOSトランジスタQ p 1 4及びNチャネル型MOSトランジスタQ n 1 4がオン状態になることにより、第2の電源電圧VPPの第4のノードN 1 4への電荷の供給が遮断されるとともに第4のノードN 1 4の電荷が直接接地に引き抜かれるので、第4のノードN 1 4の電位がより迅速に降下する。したがって、Pチャネル型MOSトランジスタQ p 1 3がすぐにオン状態になり、か

つ、入力反転信号／INを直接ゲートに受けるPチャネル型MOSトランジスタQp15もすぐにオン状態になるので、第2のノードN12の電位は速やかに上昇する。つまり、出力信号OUTのLレベルからHレベルへの遷移が確定するまでの回路動作が迅速になる。

【0058】また、入力信号INがHレベルからLレベルに変化すると、第3のノードN13を流れる反転入力信号／INが高電位（Hレベル）に切り換わる。そして、入力反転信号／INを直接ゲートに受けるPチャネル型MOSトランジスタQp15及びNチャネル型MOSトランジスタQn15がすぐにオン状態に切り換わり、第2のノードN12への第2の電源電圧VPPの供給が遮断されるとともに第2のノードN12の電荷が接地に引き抜かれるので、第2のノードN12の電位が速やかに低電位に降下する。つまり、出力信号OUTのHレベルからLレベルへの遷移が確定するまでの回路動作が迅速になる。

【0059】本実施形態の電圧レベルシフト回路においては、第1～第3の実施形態のような入力信号INを直接出力信号OUTを生成するノードに導入するための手段（Nチャネル型MOSトランジスタQn13）は設けていない。しかし、入力反転信号／INを直接ゲートに受けるMOSトランジスタQp14、Qn14、Qp15、Qn15を設けているので、出力信号OUT及び反転出力信号／OUTが生成される第4のノードN14、N13に対する電荷の供給・引き抜きを、第2の電源電圧VPPによって作動するトランジスタだけでなく第1の電源電圧VDDによって作動するトランジスタをも利用して行なっていることになる。そして、これにより、出力信号OUTの論理の遷移が確定するまでの回路動作の迅速化を図ることができるのである。

【0060】（第5の実施形態）図5は、本発明の第5の実施形態に係る電圧レベルシフト回路の構成を示す電気回路図である。

【0061】同図に示すように、本実施形態の電圧レベルシフト回路は、上記第4の実施形態の電圧レベルシフト回路中におけるPチャネル型MOSトランジスタQp14を省いた構成を有している。

【0062】したがって、本実施形態の電圧レベルシフト回路においても、入力信号INがLレベルからHレベルに遷移する際には、入力信号INがHレベルになるとNチャネル型MOSトランジスタQn14がオン状態になることにより、第4のノードN14の電荷が直接接地に引き抜かれるので、第4のノードN14の電位がより迅速に降下する。つまり、出力信号OUTのLレベルからHレベルへの遷移が確定するまでの回路動作が迅速になる。その際、上記第2の実施形態において説明したようなPチャネル型MOSトランジスタQp14が第1のノードN11の入力信号INの高電位（Hレベル）を直接受けることによる第2の電源電圧VDDを遮断する機

能はない。しかし、上述のように、Nチャネル型MOSトランジスタQn14がオン状態になることによって第4のノードN14の電荷が接地に引き抜かれることから、Pチャネル型MOSトランジスタQp13のオン動作を速める機能は得られる。

【0063】一方、入力信号INがHレベルからLレベルに遷移する際には、上記第4の実施形態の効果をそのまま発揮することができる。

【0064】（第6の実施形態）図6は、本発明の第6の実施形態に係る電圧レベルシフト回路の構成を示す電気回路図である。

【0065】同図に示すように、本実施形態の電圧レベルシフト回路は、上記第4の実施形態の電圧レベルシフト回路の構成に加えて、第1～第3の実施形態と同様のNチャネル型MOSトランジスタQn13を設けた構成を有している。

【0066】したがって、本実施形態の電圧レベルシフト回路は、上記第4の実施形態の効果に加えて、Nチャネル型MOSトランジスタQn13による第2のノードN12への入力信号INの導入による効果をも発揮することができる。すなわち、特に出力信号OUTがLレベルからHレベルに遷移する際に、入力信号INが第3のノードN13に直接導入されることにより出力信号OUTをより迅速にHレベルに遷移させることができる。

【0067】（第7の実施形態）図7は、本発明の第7の実施形態に係る電圧レベルシフト回路の構成を示す電気回路図である。

【0068】同図に示すように、本実施形態の電圧レベルシフト回路は、上記第6の実施形態の電圧レベルシフト回路の構成において、以下のような変形を加えたものである。まず、第2の電源電圧VPPを供給する端子を単一の端子T23にまとめて、各Pチャネル型MOSトランジスタQp12、Qp13を共通の第2の電源電圧VPPを供給する端子T23に接続している。そして、各Pチャネル型MOSトランジスタQp12、Qp13と第2の電源電圧VPPを供給する端子T23との間にPチャネル型MOSトランジスタQp16（スイッチングトランジスタ）を介設している。そして、このPチャネル型MOSトランジスタQp16のゲートは、反転制御信号／SAEを受けるようになっている。

【0069】また、接地電圧VSSを供給する部位を単一にまとめて、各Nチャネル型MOSトランジスタQn14、Qn15を共通の接地に接続している。そして、各Nチャネル型MOSトランジスタQn14、Qn15と接地との間にNチャネル型MOSトランジスタQn16（スイッチングトランジスタ）を介設している。そして、このNチャネル型MOSトランジスタQn16のゲートは、制御信号SAEを受けるようになっている。

【0070】図10は、本実施形態における電圧レベルシフト回路の制御方法を示すタイミングチャートであ

る。同図に示すように、入力信号INがLレベル(0)からHレベル(VDD)に切り換わるタイミングt₁、あるいは入力信号INがHレベルからLレベルに切り換わるタイミングt₂の前後において、制御信号SAEはLレベルに、反転制御信号/SAEはHレベルにそれぞれ制御される。これにより、入力信号INが切り換わる際には、Pチャネル型MOSトランジスタQ_{p16}及びNチャネル型MOSトランジスタQ_{n16}がオフになり、第2のノードN₁₂及び第4のノードN₁₄は、第2の電源電圧V_{PP}を供給する端子T₂₃及び接地から切り離された状態、つまりフローティングとなっている。これにより、入力信号INの遷移時における貫通電流の発生を阻止することができる。また、いったんノードN₁₂、N₁₄がフローティングになってから各ノードN₁₂、N₁₄のレベルが反転されるので、反転動作が迅速に行なわれる。

【0071】本実施形態の電圧レベルシフト回路においては、上記第6の実施形態の電圧レベルシフト回路の動作において、各トランジスタQ_{p16}、Q_{n16}のスイッチング動作を付加することができるので、上記第6の実施形態の効果に加えて、以下の効果を発揮することができる。

【0072】例えば、図10のタイミングチャートに示すように、入力信号INが遷移するときには、一時的に、反転制御信号/SAEをHレベルに制御信号SAEをLレベルにして、各スイッチトランジスタQ_{p16}、Q_{n16}をオフ動作させることにより、入力信号INの遷移時における貫通消費電流を低減するとともに、そのときの反転動作を高速化することができる。

【0073】また、出力信号OUTが遷移する前に各ノードN₁₂、N₁₃の電荷をいったん接地に引き抜いてから各トランジスタに入力信号INの変化に応じた動作をさせるような制御も可能となり、その場合には、第1の電源電圧VDDのHレベルとLレベルとの電位差が小さいときにも、その電位差を第2の電源電圧V_{PP}のHレベルとLレベルとの電位差に拡大することが可能になる。すなわち、第1の電源電圧VDDがより低電圧化された場合や、第1の電源電圧VDDと第2の電源電圧V_{PP}との電位差(VDD<V_{PP})が大きいときにも、電圧レベルシフト回路を確実に動作させることが可能となる。

【0074】なお、上記第6の実施形態においても、図7に示すようなMOSトランジスタQ_{p16}、Q_{n16}を設けることにより、第7の実施形態と同様に、第1の電源電圧VDDがより低電圧化された場合や、第1の電源電圧VDDと第2の電源電圧V_{PP}との電位差(VDD<V_{PP})が大きいときにも、電圧レベルシフト回路を確実に動作させることが可能となる。

【0075】(第8の実施形態) 図8は、本発明の第8の実施形態に係る電圧レベルシフト回路の構成を示す電

気回路図である。

【0076】同図に示すように、本実施形態の電圧レベルシフト回路は、上記第2の実施形態の電圧レベルシフト回路におけるNチャネル型MOSトランジスタQ_{n13}及びPチャネル型MOSトランジスタQ_{p15}を省くとともに、第2のノードN₁₂と接地との間にNチャネル型MOSトランジスタQ_{n15}を介設した構成を有している。このNチャネル型MOSトランジスタQ_{n15}のゲートは第3のノードN₁₃に接続されており、入力反転信号/INがHレベルつまり入力信号INがLレベルのときには、第3のノードN₁₃の入力反転信号/INに応じてNチャネル型MOSトランジスタQ_{n15}がオンになり、第2のノードN₁₃の電荷を接地に引き抜くように構成されている。

【0077】本実施形態の電圧レベルシフト回路においては、第1～第3の実施形態のような入力信号INを直接出力信号OUTを生成するノードに導入するための手段(Nチャネル型MOSトランジスタQ_{n13})は設けていない。しかし、入力信号INを直接ゲートに受けるPチャネル型MOSトランジスタQ_{p14}が設けられているので、入力信号INがLレベルからHレベルに遷移する際には、Pチャネル型MOSトランジスタQ_{p14}が速やかにオフ状態に切り換わり、第4のノードN₁₄への第2の電源電圧V_{PP}の供給が遮断される。したがって、第4のノードN₁₄の電位が速やかに降下して、Pチャネル型MOSトランジスタQ_{p13}がオン状態に切り換わる動作が迅速化される。すなわち、出力信号OUTのLレベルからHレベルへの遷移が確定するまでの回路動作を迅速化することができる。

【0078】なお、図8に示す構成に加えて、図4に示すような第4のノードN₁₄の電荷を直接接地に引き抜くためのトランジスタQ_{n14}や、第2のノードN₁₂の電荷を直接接地に引き抜くためのトランジスタQ_{n15}を設けることにより、出力信号OUTの論理の遷移が確定するまでの回路動作をより迅速化することもできる。

【0079】(その他の実施形態) 上記図4～図7に示す第4～第7の実施形態の電圧レベルシフト回路においても、図3に示す第3の実施形態と同様に、2つのPチャネル型MOSトランジスタQ_{p12}、Q_{p14}のウェル領域を共通化するとともに、2つのPチャネルトランジスタQ_{p13}、Q_{p15}のウェル領域を共通化することにより、電圧レベルシフト回路を小さい面積でレイアウトすることができる。また、2つのPチャネル型MOSトランジスタQ_{p12}、Q_{p14}のウェル領域を共通化するか、2つのPチャネルトランジスタQ_{p13}、Q_{p15}のウェル領域を共通化するだけでも、電圧レベルシフト回路の小面積化を図る効果は得られる。

【0080】

【発明の効果】 本発明の第1の電圧レベルシフト回路に

よると、第2の電源電圧を用いて出力信号が生成される第2のノードにおいて、第1の電源電圧により生成された入力信号を利用して出力信号を生成するようにしたので、第1の電源電圧と第2の電源電圧との電位差が大きい場合にも、出力信号の生成に必要な電圧の一部を補うことで、入力信号がHレベルに遷移するのに応じて出力信号がHレベルに遷移する際における回路動作の迅速化を図ることができる。

【0081】また、これに反転入力信号を生成する手段及びノードと、反転出力信号を生成する手段及びノードとを加えることによって、入力信号の遷移に応じて出力信号が確定するまでの回路動作の迅速化を図ることができる。

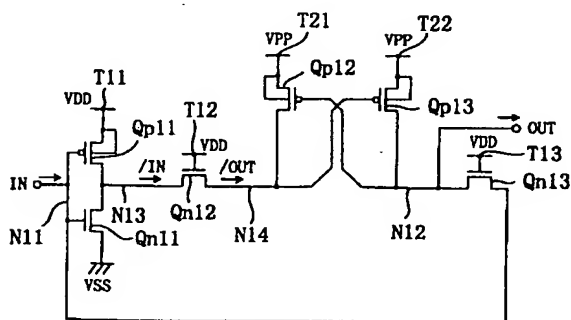
【0082】本発明の第2の電圧レベルシフト回路によると、第1の電源電圧を用いて生成された入力信号を受ける第1のノードと、第2の電源電圧を用いて出力信号を生成する手段及び第2のノードと、反転入力信号を生成する手段及び第3のノードと、第2の電源電圧を用いて反転出力信号を生成する第1の手段及び第4のノードとを設けるとともに、入力信号を受けて反転出力信号を生成する第2の手段をさらに設けたので、入力信号がLレベルからHレベルに遷移する際の出力信号の確定までの回路動作の迅速化を図ることができる。

【0083】また、反転入力信号を受けて出力信号を受ける手段をさらに設けることにより、入力信号がHレベルからLレベルに遷移する際の出力信号の確定までの回路動作の迅速化を図ることができ、入力信号の遷移に応じて出力信号が確定するまでの回路動作の迅速化を図ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態の電圧レベルシフト回路の構成を示す電気回路図である。

【図1】



【図2】本発明の第2の実施形態の電圧レベルシフト回路の構成を示す電気回路図である。

【図3】本発明の第3の実施形態の電圧レベルシフト回路の構成を示す電気回路図である。

【図4】本発明の第4の実施形態の電圧レベルシフト回路の構成を示す電気回路図である。

【図5】本発明の第5の実施形態の電圧レベルシフト回路の構成を示す電気回路図である。

【図6】本発明の第6の実施形態の電圧レベルシフト回路の構成を示す電気回路図である。

【図7】本発明の第7の実施形態の電圧レベルシフト回路の構成を示す電気回路図である。

【図8】本発明の第8の実施形態の電圧レベルシフト回路の構成を示す電気回路図である。

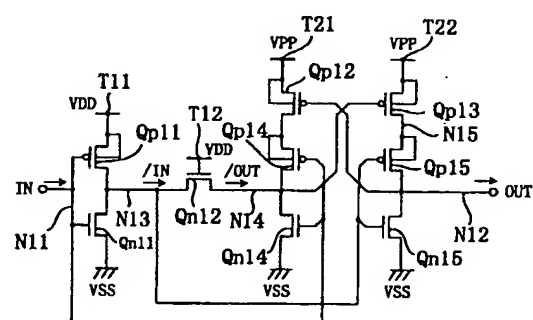
【図9】従来の電圧レベルシフト回路の構成を示す電気回路図である。

【図10】本発明の第8の実施形態の電圧レベルシフト回路の制御方法を示すタイミングチャート図である。

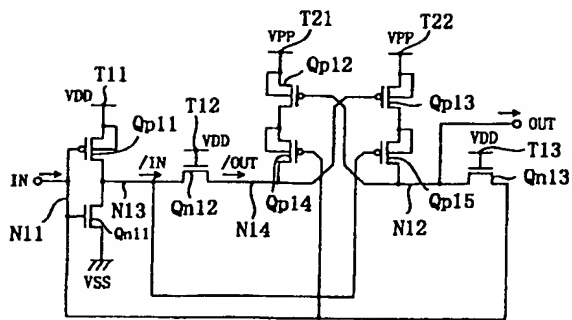
【符号の説明】

IN	入力信号
/IN	反転入力信号
OUT	出力信号
/OUT	反転出力信号
SAE	制御信号
/SAE	反転制御信号
N	ノード
Qp	Pチャネル型MOSトランジスタ
Qn	Nチャネル型MOSトランジスタ
VSS	接地電圧
VDD	第1の電源電圧
VPP	第2の電源電圧
T	供給端子

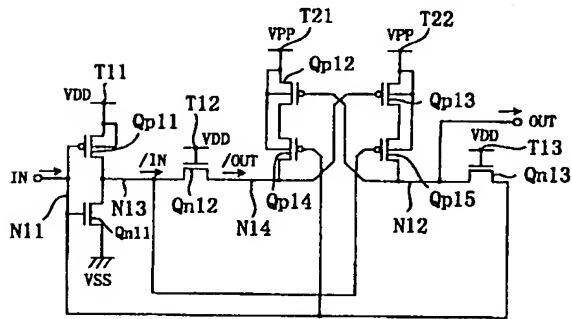
【図4】



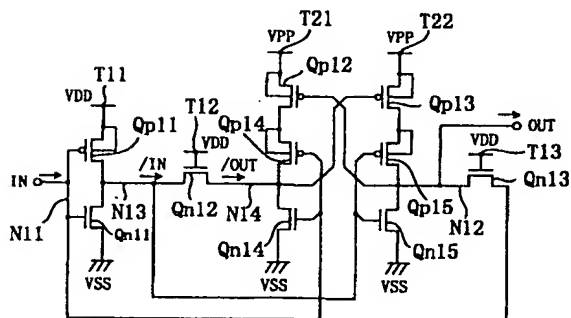
【図2】



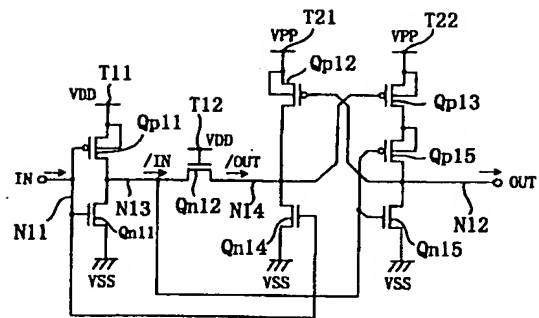
【図3】



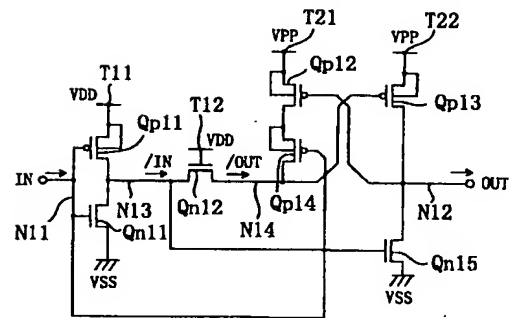
【図6】



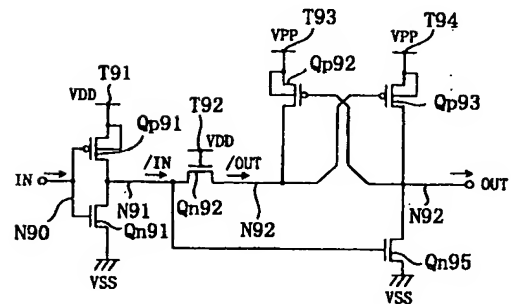
【図5】



【図8】



【図9】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.